

SEMICONDUCTOR DEVICE

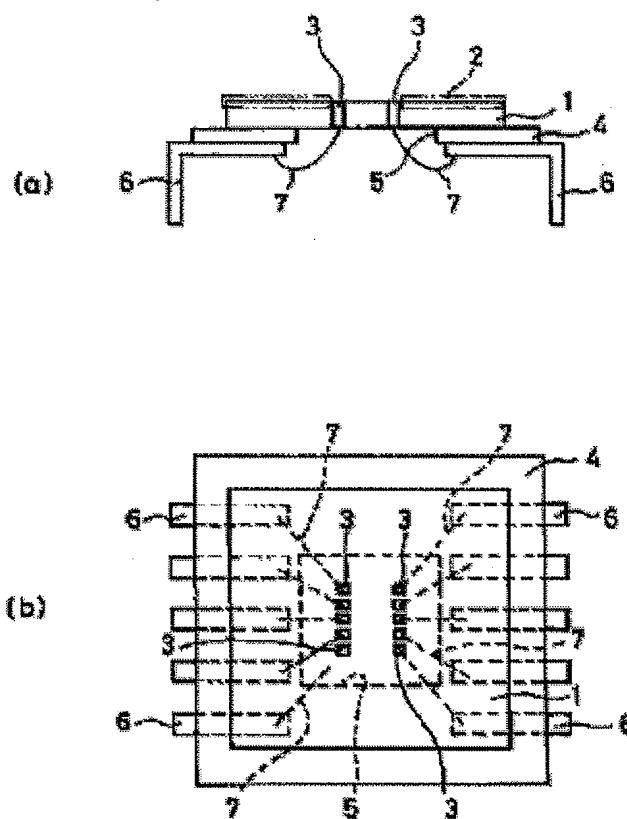
Publication number: JP5047829
Publication date: 1993-02-26
Inventor: UCHIDA TOSHIYA
Applicant: FUJITSU LTD
Classification:
 - international: H01L21/60; H01L21/02; (IPC1-7): H01L21/60
 - European:
Application number: JP19910205315 19910815
Priority number(s): JP19910205315 19910815

Report a data error here

Abstract of JP5047829

PURPOSE: To improve the degree of freedom of external connection from input/ output pads, to prevent an effect on a circuit evaluation test in LOC structure, and to increase the spaces of leads and bonding wires in a ZIP simultaneously while lowering the resistance of paths from the input/output pads to the leads regarding a semiconductor device having structure in which the leads and bumps on a semiconductor chip are connected through wire bonding. CONSTITUTION: A

semiconductor device is constituted including a semiconductor chip 1, on one surface side of which a semiconductor integrated circuit 2 is formed, input/output pads 3 connected to the semiconductor integrated circuit 2, penetrated through the semiconductor chip 1 in the thickness direction and exposed on both surfaces and a plurality of leads 6 connected to ones or the others of the exposed surfaces of the input/output pads 3 through wires 7.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-47829

(43) 公開日 平成5年(1993)2月26日

(51) Int.Cl.⁵
H 01 L 21/60識別記号
3 0 1 N 6918-4M
A 6918-4M

F I

技術表示箇所

(21) 出願番号 特願平3-205315
(22) 出願日 平成3年(1991)8月15日(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72) 発明者 内田 敏也
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74) 代理人 弁理士 岡本 啓三

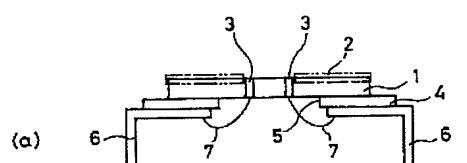
(54) 【発明の名称】 半導体装置

(57) 【要約】

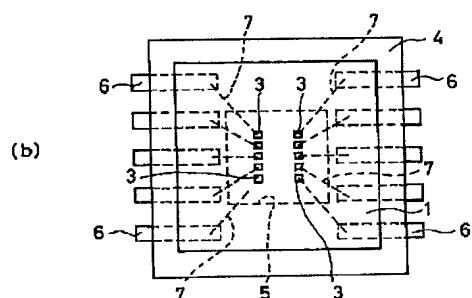
【目的】 リードと半導体チップ上のバンプとをワイヤーボンディングにより接続する構造の半導体装置に関し、入出力パッドからの外部接続の自由度を高めてLOC構造における回路評価試験に影響を与えず、同時に、ZIPにおけるリードやボンディングワイヤーの間隔を緩和するとともに、入出力パッドからリードに到る経路の抵抗を低減することを目的とする。

【構成】 半導体集積回路2、12を一面側に形成した半導体チップ1と、前記半導体集積回路2に繋がり、かつ前記半導体チップ1を厚み方向に貫通して両面に表出される入出力パッド3と、ワイヤー7を介して前記入出力パッド3の表出面の一方又は他方に接続される複数のリード6とを含み構成する。

本発明の第1実施例装置を示す側断面図及び平面図



1: 半導体チップ	5: 開口部
2: 半導体集積回路	6: リード
3: 入出力パッド	7: ボンディングワイヤ
4: ダイス	



(2)

特開平5-47829

1

2

【特許請求の範囲】

【請求項 1】半導体集積回路（2、12）を一面側に形成した半導体チップ（1、11）と、前記半導体集積回路（2、12）に繋がり、かつ前記半導体チップ（1、11）を厚み方向に貫通して両面に表出される入出力パッド（3、13）と、前記入出力パッド（3、13）の表面の一方又は他方にワイヤー（7、17）を介して接続されるリード（6、16）とを有することを特徴とする半導体装置。

【請求項 2】前記入出力パッド（3）が前記半導体チップ（1）の中央領域に形成され、かつ、前記半導体集積回路（2）と反対側の面に表出した前記入出力パッド（3）に前記リード（6）が接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記入出力パッド（13）が前記半導体チップ（11）の周縁近傍に形成され、前記リード（17）が前記入出力パッド（13）の側方において厚さ方向に相対向して 2 列に配置され、しかも、複数の前記入出力パッド（13）は、一面側と他面側から交互に前記ワイヤー（17）が接続されてそれぞれ一面側と他面側の前記リード（16）に接続されていることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に関し、より詳しくは、リードと半導体チップ上のパンプとをワイヤーにより接続する構造の半導体装置に関する。

【0002】

【従来の技術】半導体集積回路はますます高集積化され、チップの大型化が進んでいる。これにともない、配線長が増加し、アクセスの高速化が困難になっている。

【0003】これは、集積回路の外部入出力パッドが回路の周辺に位置し、パッドから回路までの距離が長いこと、信号の流れが良くないことに起因している。この対策として、図 6 に示すように、半導体チップ 6 1 の中央部に入出力パッド 6 2 を配置する構造の L O C (Lead On Chip) が提案され、高速化、高集積化を図っている。図において、セラミック製のダイス 6 3 の上には半導体集積回路 6 4 を形成した半導体チップ 6 1 が取付けられ、また、ダイス 6 3 の周縁に沿って取付けられる複数のリード 6 5 は、半導体チップ 6 1 上面の中央に形成された入出力パッド 6 2 にボンディングワイヤー 6 6 を介して接続されている。

【0004】一方、プリント基板上における半導体装置の実装密度を高くするために、図 7 に示すような Z I P (Zig-Zag In-line package) と呼ばれるパッケージが利用されている。この Z I P は、半導体チップ 7 1 の一面に形成された入出力パッド 7 2 に接続されるリード 7 3 を一列に並べてこれらをジグザグに曲げる構造となっている。なお、符号 7 4 は、半導体チップ 7 1 を封止する

10

20

30

40

50

樹脂パッケージを示している。

【0005】

【発明が解決しようとする課題】しかし、前者の L O C 構造の装置によれば、入出力パッド 6 2 に接続されるボンディングワイヤー 6 6 が半導体集積回路 6 4 上に配線されているために、回路の誤動作等の初期不良を発見する表面からの試験の際にボンディングワイヤー 6 6 が邪魔になるといった不都合がある。しかも、リード 6 5 を入出力パッド 6 2 に近づけることができないために、ボンディングワイヤー 6 6 が長くなつて抵抗が増加するといった問題もある。

【0006】また、後者の Z I P を用いた装置においては、リード 7 3 やボンディングワイヤー 7 5 の間隔が厳しくなり、高集積化に支障をきたすばかりでなく、その幅の狭小化によって抵抗やインダクタンスが増加するといった問題がある。

【0007】本発明はこのような問題に鑑みてなされたものであつて、入出力パッドからの外部接続の自由度を高めて L O C 構造における回路評価試験に影響を与える、同時に、Z I P におけるリードやボンディングワイヤーの間隔を緩和するとともに、入出力パッドからリードに到る経路の抵抗を低減できる半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記した課題は、図 1～3 に例示するように、半導体集積回路 2、12 を一面側に形成した半導体チップ 1、11 と、前記半導体集積回路 2、12 に繋がり、かつ前記半導体チップ 1、11 を厚み方向に貫通して両面に表出される入出力パッド 3、13 と、前記入出力パッド 3、13 の表面の一方又は他方にワイヤー 7、17 を介して接続される複数のリード 6、16 とを有することを特徴とする半導体装置により達成する。

【0009】または、図 1 に例示するように、前記入出力パッド 3 が前記半導体チップ 1 の中央領域に形成され、かつ、前記半導体集積回路 2 と反対側の面に表出した前記入出力パッド 3 に前記リード 6 が接続されていることを特徴とする前記第 1 の半導体装置によって達成する。

【0010】または、図 2、3 に例示するように、前記入出力パッド 13 が前記半導体チップ 11 の周縁近傍に形成され、前記リード 17 が前記入出力パッド 13 の側方において厚さ方向に相対向して 2 列に配置され、しかも、複数の前記入出力パッド 13 は、一面側と他面側から交互に前記ワイヤー 17 が接続されてそれぞれ一面側と他面側の前記リード 16 に接続されていることを特徴とする前記第 1 の半導体装置により達成する。

【0011】

【作用】本発明によれば、半導体集積回路 2、12 に接続される入出力パッド 3、13 を、半導体チップ 1、11 に貫通させてその両面に表出するようにしている。

(3)

特開平5-47829

3

【0012】このため、半導体集積回路2、12に対する信号を半導体チップ1、11の両面から出し入れすることができ、配線の自由度が高くなる。また、第2の発明によれば、そのような入出力パッド3を半導体チップ1の中央領域に設けているが、リード6との接続は、半導体集積回路2と反対側の面で行っている。

【0013】したがって、半導体集積回路2に電子を照射して行われるような試験の際に、ワイヤー7が邪魔になることはなく、しかも、リード6を入出力パッド3に近づけてワイヤー7の長さを短くして抵抗やインダクタンスを小さくできる。

【0014】さらに、第3の発明によれば、上記したような入出力パッド13を半導体チップ11の周縁近傍に設けるとともに、その側方に配置するリードを厚さ方向に対向させて2列となし、しかも、複数の入出力パッド13を一面と他面からに交互にワイヤー17により引出してその方向のリード16に接続している。

【0015】このため、リード16は2段に分割されることになり、その分だけリード16やワイヤー17の間隔を広くすることができ、半導体集積回路の高集積化に対応できることになる。また、これによってリード16の幅を広げる余裕もでき、これによりインダクタンスや抵抗が低減する。

【0016】

【実施例】そこで、以下に本発明の実施例を図面に基づいて説明する。

(a) 本発明の第1実施例の説明

図1は、本発明の第1実施例を示す断面図及び平面図である。

【0017】図1において符号1は、上層部に半導体集積回路2を形成した半導体チップで、その中央領域には、アルミニウム製の入出力パッド3が半導体チップ1を貫通して形成され、また、入出力パッド3はその内部で半導体集積回路2に繋がっている。

【0018】4は、半導体チップ1を搭載する絶縁性のダイスで、その中央領域には、入出力パッド3の下面を露出する開口部5が形成され、また、ダイス4の下面にはL字状に曲げられたリード6がその周縁に沿って複数本取付けられており、リード6と入出力パッド3は開口部5を通してアルミニウムのボンディングワイヤー7によって接続されている。

【0019】次に、上記実施例の作用について説明する。上述した実施例において、半導体チップ1の上面側で半導体集積回路2に接続される入出力パッド3は、半導体チップ1を貫通してその反対側の面に表出し、しかも、その反対側の面の入出力パッド3とリード6とをボンディングワイヤー7を介して接続するようにしている。

【0020】このために、入出力パッド3を半導体チップ1の中央寄りに集めたLOC構造の装置であっても、

4

ボンディングワイヤー7が半導体集積回路2の上を跨ぐことはない。

【0021】したがって、半導体集積回路2に電子ビームを照射してその反射電子により回路評価を行うような試験を行う場合に、リード6と半導体集積回路2を繋ぐボンディングワイヤー7が試験の邪魔になることはない。しかも、リード6を中央まで引き延ばして、入出力パッド3とを結ぶボンディングワイヤー7を短くでき、インダクタンスや抵抗の低減が図れる。

10 【0022】(b) 本発明の第2実施例の説明

図2、3は、本発明の第2実施例装置を示す平面図、部分拡大平面図及び部分拡大側断面図である。

【0023】図2、3において符号11は、上層部に半導体集積回路12を形成した半導体チップで、その上面の両側寄りの領域には、半導体チップ11を上下に貫通するアルミニウム製の入出力パッド13が複数形成されており、これらの入出力パッド13は半導体チップ11内で半導体集積回路12に接続されている。

【0024】14は、半導体チップ11を搭載する絶縁材よりなるダイスで、その両側寄りの2つの領域には、半導体チップ11の下面に出た入出力パッド13を露出する開口部15が形成され、また半導体チップ11の両側方に広がるダイス14の上面と下面には後述する複数のリード16a、16bが取付けられている。

【0025】上記したリード16a、16bは、その一端をボンディングワイヤー17を介して入出力パッド13に接続するとともに、他端をダイス14の外部に延出させるもので、その一端は、2つの入出力パッド13を跨ぐ幅又はそれ以下の幅に形成されて、隣接する2つの入出力パッド13毎に側方に配置されている。

【0026】また、上下のリード16a、16bの各々の位置関係は、半導体チップ11近傍の一端では上下に重なり、また、ダイス14から突出する部分では重ならずにダイス14の一辺に沿ってジグザグに並ぶような構成となっている。

【0027】そして、半導体チップ11の上面に露出した入出力パッド13は、図2(b)、図3(a)に示すように、一つおきにその上面側方のリード16aに接続され、残りの入出力パッド13は、図2(c)、図3(b)に示すように、その下面から開口部15を通して下側のリード16bにワイヤボンディングされている。

【0028】なお、図中符号18は、半導体チップ11、ダイス14、リード16a、16bの一端及びボンディングワイヤー17を覆う樹脂製パッケージを示している。上記した実施例において、半導体チップ11に複数形成された入出力パッド13は、図3に示すように半導体チップ11を貫通して形成されている。そして、隣接する2つの入出力パッド13の一方は上のリード16aに接続され、他方の入出力パッド13は下のリード16bに接続されることになる。この場合、上のリード16

50

(4)

特開平5-47829

5

aは入出力パッド13の上面にワイヤボンディングされ、また下のリード16bは入出力パッド13の下面にワイヤボンディングされる。

【0029】この結果、入出力パッド13の間隔が狭くなる場合でも、リード16やボンディングワイヤー17の間隔を広くして短絡事故の防止や歩留りの向上が図れることになる。

【0030】しかも、リード16の幅は、最大で入出力パッド13を2つを含める広さに形成できるので、リード16の幅が広がる分だけ抵抗やインダクタンスが小さくなって信号伝達の高速化に寄与できる。

【0031】(c) 本発明の実施例における入出力パッドの形成工程の説明

図4、5は、本発明の実施例装置における半導体チップの入出力パッドを形成する工程を示す断面図である。

【0032】図中符号31は、上記した半導体チップ1、11を構成する厚さ約1mmのシリコン基板で、このシリコン基板31のうち複数のパッド形成領域Xの上には、上面側の半導体集積回路2、12に繋がる導電膜32が形成されている。

【0033】この状態において、まず図4(a)に示すように、シリコン基板31の上にフォトレジスト33を塗布し、これを露光、現像してパッド形成領域Xに窓34を開口する。

【0034】次に、同図(b)に示すように、反応性イオンエッティング(RIE)法によって窓34の下の導電膜32及びシリコン基板31を深さ500μmまでエッティングしてパッド形成領域Xに凹部35を形成する。

【0035】この後に、フォトレジスト33を溶剤により除去してから、数千Åの厚さのSiO₂膜36をCVD法によって形成し、このSiO₂膜36により凹部35を埋め込んで、さらに、RIE法によりSiO₂膜36を異方性エッティングし、凹部35の側壁にのみこれを残す(図4(c))。

【0036】次に、図4(d)に示すように、スパッタ法によりアルミニウム37を積層して凹部35を完全に埋め込むと、アルミニウム37の上部はほぼ平坦になる。そして、全体をRIE法によりコントロールエッティングして薄層化し、ついでフォトレジストを用いたエッティング法によって凹部35内のみにアルミニウム37を残存させる(図5(e))。凹部35内のアルミニウム37は、上記した入出力パッド3、13としてい用いられ、導電膜32を介して半導体集積回路2(12)に接続され、しかも、SiO₂膜36によりシリコン基板31から絶縁された状態になる。

【0037】この後に、シリコン基板31の下面を研磨して凹部35の底面を開放すれば、図5(f)に示すようにシリコン基板31から入出力パッド3、13が露出することになる。研磨後のシリコン基板3の厚みは約500μmとなる。

6

【0038】なお、パッド形成領域Xは、ZIPの場合には半導体チップの両側に位置し、また、LOC構造の場合には半導体チップの中央に位置することになる。

【0039】

【発明の効果】以上述べたように本発明によれば、半導体集積回路に接続される入出力パッドを、半導体チップに貫通させてその両面に表出するようにしているので、半導体集積回路に対する信号を半導体チップの両面から出し入れすることができ、配線の自由度を高くすることができます。

【0040】第2の発明によれば、半導体チップを貫通する入出力パッドを半導体チップの中央領域に設けるとともに、リードとの接続を半導体集積回路と反対側の面で行うよう正在しているので、半導体集積回路に電子を照射して行われるような試験の際の障害を除去でき、しかも、リードを入出力パッドに近づけてワイヤー長を短くして抵抗やインダクタンスを低減することができる。

【0041】第3の発明によれば、半導体チップを貫通する入出力パッドを半導体チップの周縁近傍に設けるとともに、その側方に配置するリードを厚さ方向に対向させて2列となし、さらに、複数の入出力パッドを一面と他面からに交互にワイヤーにより引出してその方向のリードに接続するようにしたので、リードは厚さ方向に2段に分割されてリードやワイヤーの間隔を広くする溶融ができる、半導体集積回路の高集積化に対応できる。また、これによってリードの幅を広げることもできこれによりインダクタンスや抵抗を低減することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例装置を示す側断面図及び平面図である。

【図2】本発明の第2実施例装置を示す平面図及び部分拡大平面図である。

【図3】本発明の第2実施例装置を示す部分拡大側断面図である。

【図4】本発明の実施例装置における入出力パッドの形成工程の一例を示す断面図(その1)である。

【図5】本発明の実施例装置における入出力パッドの形成工程の一例を示す断面図(その2)である。

【図6】従来装置の第1の例を示す側断面図及び平面図である。

【図7】従来装置の第2の例を示す平面図及び部分拡大平面図である。

【符号の説明】

1, 11 半導体チップ

2, 12 半導体集積回路

3, 13 入出力パッド

4, 14 ダイス

5, 15 開口部

6, 16 リード

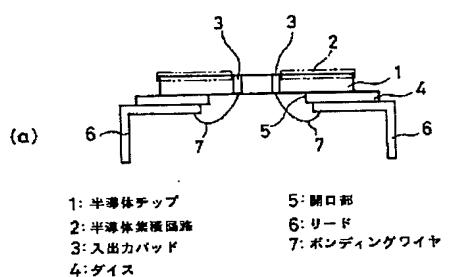
50 7, 17 ボンディングワイヤー

(5)

特開平5-47829

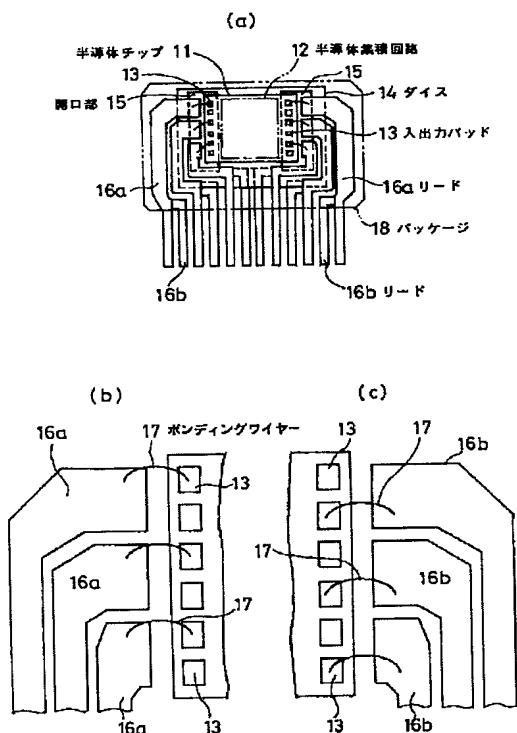
【図1】

本発明の第1実施例装置を示す側断面図及び平面図



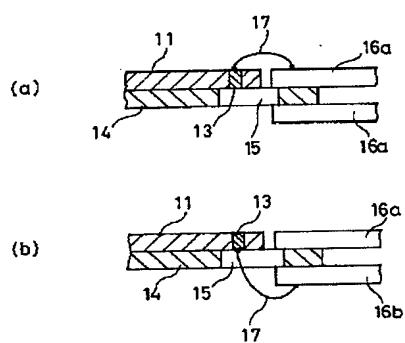
【図2】

本発明の第2実施例装置を示す平面図及び部分拡大平面図



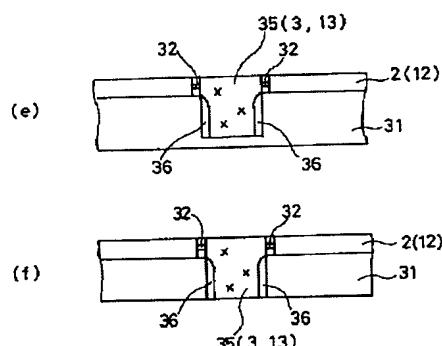
【図3】

本発明の第2実施例装置を示す部分拡大側断面図



【図5】

本発明の実施例装置に用いる入出力パッドの形成工程の一例を示す断面図(その2)

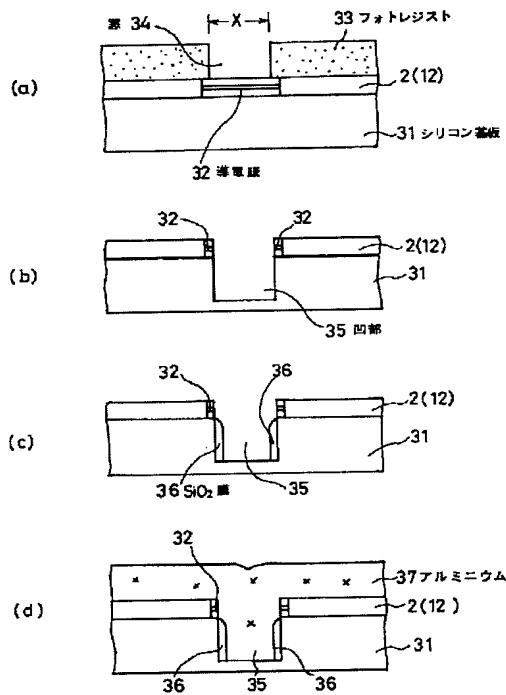


(6)

特開平5-47829

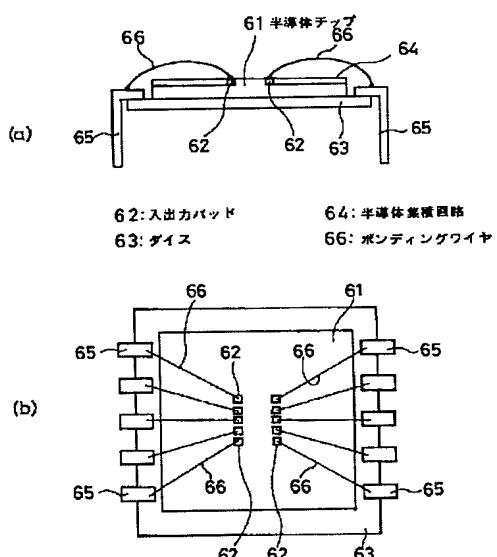
【図4】

本発明の実施例装置における入出力パッドの形成工程の一例を示す断面図(その1)



【図6】

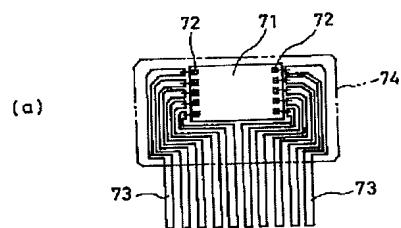
従来装置の第1の例を示す側断面図及び平面図



62: 入出力パッド
63: ダイス
64: 半導体集積回路
66: ボンディングワイヤ

【図7】

従来装置の第2の例を示す平面図及び部分拡大平面図



71: 半導体チップ
72: 入出力パッド
73: リード
74: パッケージ

